

RCA 88398 (JP6319110)

(11) Publication number: 06-319110

(43) Date of publication of application: 15.11.1994

(51) Int.Cl. H04N 5/92

(21) Application number: 05-106416

(22) Date of filing: 07.05.1993

(71) Applicant: Hitachi LTD

(72) Inventor: Hatanaka Yuji, Okamoto Hiroo, Nakamura Masafumi, Saito Seiichi

(54) Name of the invention: Digital signal receiver

(57) Abstract:

Purpose:

To reduce the number of connecting signal wires by synchronizing two kinds of digital compressed picture signals including jitter and having an incomplete synchronization relation to output the resulting signal to a recording and reproducing device.

Constitution:

This receiver is provided with a reception means 12 receiving and demodulating 1st and 2nd signals, synchronization means 5, 6, 12 synchronizing the received and 1st and 2nd output means to output 1st and 2nd synchronizing signals 32, 35 synchronized with each other respectively, Further, a synthesis means 501 synthesizing the 1st and 2nd synchronizing signals 32, 35 from the synchronization means 5, 6, 12 into a 3rd signal 505, an

output means 71 to output the signal 505, an input means 72 for a reproduced 4th signal 506, a separate means 502 separating the 4th signal 506 received therefrom into 5th and 6th signals 514, 515, a means 11 selecting either a 5th signal 514 and 6th signal 515 therefrom or the 1st and 2nd synchronizing signals 32, 35 synchronized by the synchronization means 5, 6, 12, and processing means 8, 9, 10 for an output signal therefrom are provided.

[Claims]

[Claim 1]

A receiving means to be the receiving set that receives and restores the digital video signal that consists of the 1st signal and 2nd signal, and to perform reception and a recovery of the mentioned above 1st signal and the mentioned above 2nd signal, a synchronization means to perform synchronization with the mentioned above 1st signal received with the mentioned above receiving means, and the mentioned above 2nd signal, to generate the 1st synchronization signal from the mentioned above 1st signal, and to generate the 2nd synchronization signal from the mentioned above 2nd signal, the digital signal receiving set characterized by establishing the 1st output means that outputs the mentioned above 1st synchronization signal, and the 2nd output means that outputs the mentioned above 2nd synchronization signal.

[Claim 2]

The 1st buffer means that stores the mentioned above 1st signal received with the mentioned above receiving means temporarily, and the 2nd buffer means that stores the

mentioned above 2nd signal which received with the mentioned above receiving means temporarily are established. The mentioned above synchronization means, the digital signal receiving set according to claim 1 characterized by performing synchronization with the mentioned above 1st signal and the mentioned above 2nd signal by reading at the rate that had the mentioned above 1st buffer means and the mentioned above 2nd buffer means synchronized.

[Claim 3]

It is the digital signal receiving set according to claim 1 that establishes a buffer means to store either the mentioned above 1st signal which carried out the reception input with the mentioned above receiving means, or the mentioned above 2nd signal temporarily, and is characterized by the mentioned above synchronization means to perform synchronization with the mentioned above 1st signal and the mentioned above 2nd signal by reading the mentioned above buffer means at the mentioned above 2nd signal or the mentioned above 1st signal, and the synchronized rate.

[Claim 4]

The mentioned above synchronization means is a digital signal receiving set according to claims 1 to 3 characterized by generating the clock that synchronized with the mentioned above 1st synchronization signal or the mentioned above 2nd synchronization signal, establishing a clock output means to output the mentioned above clock, and outputting the mentioned above 1st synchronization signal, the mentioned above 2nd

synchronization signal, and three kinds of signals of the mentioned above clock.

[Claim 5]

A synchronizing signal generation means to generate the synchronizing signal that the mentioned above 1st signal and the mentioned above 2nd signal constitute the packet, and shows the period of the packet of the mentioned above 1st signal, or the period of the packet of the mentioned above 2nd signal, a synchronous output means to output the mentioned above synchronizing signal, and the mentioned above synchronization means to generate the clock synchronized with the mentioned above 1st synchronization signal or the mentioned above 2nd synchronization signal, the digital signal receiving set according to claims 1 to 3 characterized by establishing a clock output means to output the mentioned above clock, and outputting four kinds of signals, the mentioned above 1st synchronization signal, the mentioned above 2nd synchronization signal, the mentioned above clock, and the mentioned above synchronizing signal.

[Claim 6]

Difference with the frame signal of the signal with which the mentioned above digital video signal was constituted by full-screen information, and the digital signal receiving set according to claims 1 to 5 characterized by being constituted by information and the mentioned above 1st signal including the signal constituted by the mentioned above full-screen information.

[Claim 7]

A receiving means to be the receiving set that receives and restores the digital video signal that consists of the 1st signal and 2nd signal, and to perform reception and a recovery of the mentioned above 1st signal and the mentioned above 2nd signal, a synchronization means to perform synchronization with the mentioned above 1st signal received with the mentioned above receiving means, and the mentioned above 2nd signal, to generate the 1st synchronization signal from the mentioned above 1st signal, and to generate the 2nd synchronization signal from the mentioned above 2nd signal, a synthetic means to compound the mentioned above 1st synchronization signal and the mentioned above 2nd synchronization signal to the 3rd signal, an output means to output the mentioned above 3rd signal, and an input means to input the 4th signal, a separation means to divide into the 5th signal and 6th signal the mentioned above 4th signal inputted with the mentioned above input means, a selection means to choose the mentioned above 5th signal separated with the mentioned above separation means and the mentioned above 6th signal, the mentioned above 1st synchronization signal synchronized by the mentioned above synchronization means, and the mentioned above 2nd synchronization signal, the digital signal receiving set characterized by establishing a signal-processing means to process the output signal of the mentioned above selection means.

[Claim 8]

The 1st buffer means that stores the mentioned above 1st signal received with the mentioned above receiving means temporarily, and the 2nd buffer means that stores the mentioned above 2nd signal which received with the mentioned above receiving means temporarily are established. The mentioned above synchronization means, the digital signal receiving set according to claim 7 characterized by performing synchronization with the mentioned above 1st signal and the mentioned above 2nd signal by reading at the rate which had the mentioned above 1st buffer means and the mentioned above 2nd buffer means synchronized.

[Claim 9]

The digital signal receiving set according to claim 7 that establishes a buffer means to store either the mentioned above 1st signal received with the mentioned above receiving means, or the mentioned above 2nd signal temporarily, and is characterized by the mentioned above synchronization means performing synchronization with the mentioned above 1st signal and the mentioned above 2nd signal by reading the mentioned above buffer means at the mentioned above 2nd signal or the mentioned above 1st signal, and the synchronized rate.

[Claim 10]

A synchronizing signal generation means to generate the 1st synchronizing signal that the mentioned above the 1st signal and the mentioned above 2nd signal constitute the packet, and shows the period of the packet of the

mentioned above 1st signal in the mentioned above 3rd signal, or the period of the packet of the mentioned above 2nd signal, a synchronous output means to output the mentioned above 1st synchronizing signal synchronizing with the mentioned above 3rd signal, a synchronous input means to input the 2nd synchronizing signal that shows the period of the packet of the mentioned above 1st signal in the mentioned above 4th signal or the period of the packet of the mentioned above 2nd signal is established. The mentioned above separation means is a digital signal receiving set according to claims 7 to 9 characterized by performing separation of the mentioned above 5th signal and the mentioned above 6th signal from the mentioned above 2nd synchronizing signal inputted from the mentioned above synchronous input means.

[Claim 11]

A synchronizing signal generation means for the mentioned above the 1st signal and the mentioned above 2nd signal to constitute the packet, to add the 1st synchronizing signal that shows the period of the packet of the mentioned above 1st signal in the mentioned above 3rd signal or the period of the packet of the mentioned above 2nd signal to the mentioned above 3rd signal, and to generate the 7th signal is established. The mentioned above output means outputs the mentioned above 7th signal. The mentioned above separation means, the digital signal receiving set according to claims 7 to 9 characterized by performing separation of the mentioned above 5th signal and the mentioned above 6th signal with the 2nd synchronizing signal that shows the period of the

packet of the mentioned above 1st signal included in the 4th inputted signal, or the period of the packet of the mentioned above 2nd signal.

[Claim 12]

The mentioned above synthetic means is a digital signal receiving set according to claim 10 characterized by generating the clock that synchronized with the mentioned above 3rd signal, establishing a clock output means to output the mentioned above clock, and outputting the mentioned above 3rd signal, the mentioned above 1st synchronization signal, and three kinds of signals of the mentioned above clock.

[Claim 13]

The mentioned above synthetic means is a digital signal receiving set according to claim 11 characterized by generating the clock that synchronized with the mentioned above 3rd signal, establishing a clock output means to output the mentioned above clock, and outputting the mentioned above 7th signal and two kinds of signals of the mentioned above clock.

[Claim 14]

Difference with the frame signal of the signal with which the mentioned above digital video signal was constituted by full-screen information, before, and the digital signal receiving set according to claims 7 to 13 characterized by being constituted by information and the mentioned above 1st signal including the signal constituted by the mentioned above full-screen information.

[Claim 15]

The mentioned above output means according to the claims 1- 6 characterized by outputting a signal to the record regenerative apparatus that carries out record playback of the mentioned above 1st signal and the mentioned above 2nd signal, or a digital signal receiving set according to claims 7 to 14.

[Detailed description of the invention]

[0001]

[Industrial application] This invention receives two kinds of digital compressed video signals by the receiving set in the system that receives and reproduces a digital signal, and relates to the equipment outputting a signal to a record regenerative apparatus.

[0002]

[Description of the prior art] The digital broadcasting format that compresses and transmits a digital video signal according to the 276th television society magazine p.46 No. 3 (1992).

[0003]

Figure 2 shows the compression approach of a digital video signal. 21 and 22 express one frame of a television screen. The frame in every nine frames shows compression of a video signal with a slash, compression of all the image information in a frame carrying out other frames, data prediction of the frame of before or after, the amount of transmissions is reduced by compressing only information difference.

[0004]

If it records the digital video signal compressed as it is in recording the video signal sent by such digital broadcast, there is little storage capacity and efficient record can be performed.

[0005]

[Problems to be solved by the invention] When recording two kinds of signals, a frame and intraframe, the number of the connection signal lines of a receiving set and a record regenerative apparatus increases, and the problem because of which a system becomes complicated arises.

[0006]

Also, since transmission rates differ and respectively different reception and recovery processing are performed, generally between both signals, the jitter is contained and perfect synchronous relation may not be maintained. If asynchrony is not absorbed in case two kinds of such signals are recorded, recording without excess and deficiency will become impossible.

[0007]

The purpose of this invention is to offer a record regenerative apparatus and to synchronize the compression picture signal that consists of two kinds of digital signals that are not in perfect synchronous relation, and offer a digital signal receiving set with few connection signal lines.

[0008]

[Means for solving the problem] The above mentioned purpose can be attained by preparing a receiving means to perform reception and a recovery of the 1st signal and the 2nd signal, a synchronization means to perform synchronization with the 1st signal and the 2nd signal that received with a receiving means, the 1st output means that outputs the 1st synchronization signal synchronized by the synchronization means, and the 2nd output means that outputs the 2nd synchronization signal synchronized by the synchronization means. What is necessary is just to establish the 1st buffer means that stores the 1st signal received with the receiving means as this synchronization means temporarily, and the 2nd buffer means that stores the 2nd signal temporarily. Or it is also good to form either the 1st buffer or the 2nd buffer.

[0009]

Also, in order to decrease the number of connection signal lines a synthetic means to compound the 1st synchronization signal and the 2nd synchronization signal which were synchronized by the synchronization means to the 3rd signal, an output means to output the mentioned above 3rd signal, and an input means to input the 4th signal reproduced with the mentioned above record regenerative apparatus, a separation means to divide into the 5th signal and 6th signal the mentioned above 4th signal inputted with the mentioned above input means. It can attain by establishing a selection means to choose the mentioned above 5th signal separated with the mentioned above separation means and the mentioned above 6th signal, the mentioned above 1st synchronization signal

synchronized by the mentioned above synchronization means, and the mentioned above 2nd synchronization signal, and a signal processing means to process the output signal of the mentioned above selection means.

[0010]

[Function] If the signal after a recovery is outputted and inputted with a receiving set, since a signal can be taken out from the point separated functionally, the system of a receiving set can be simplified. Also, the number of a connection signal line can be decreased by considering as a bit-serial transfer.

[0011]

Also, by memorizing independently the 1st signal and 2nd signal that were received with the receiving means with a buffer, respectively. Even if a jitter exists between the 1st signal and the 2nd signal and there is not perfect synchronous relation, there are no excess and deficiency in each buffer. By reading and outputting the 1st buffer and 2nd buffer at the rate synchronized, respectively after that, it becomes possible to synchronize the 1st signal and 2nd signal completely. A record regenerative apparatus inputs this 1st synchronized synchronization signal and the 2nd synchronization signal, and should just record them as it is.

[0012]

When only the 1st buffer or 2nd buffer is formed, the 1st signal and 2nd signal can be completely synchronized by 2nd reading the 1st buffer or 2nd buffer at the receiving

rate of a signal or the 1st signal, and the rate which synchronized.

[0013]

Moreover, the number of connection signal lines can be further decreased by compounding the 1st signal and 2nd signal, and generating and transmitting the 3rd signal.

[0014]

[Example] The example of this invention is explained using a figure.

[0015]

Figure 1 is the configuration of the digital signal receiving set of this invention, and constitutes the system that consists of two equipments, a receiving set 4 and the record regenerative apparatus 20.

[0016]

1 is an antenna and a receiving set 4 which receives the digital video signal that was transmitted. The receiving demodulator circuit 7 receives a signal and restores to the received digital signal, the buffer for 5 and 6 conserving the output of the receiving demodulator circuit 7 temporarily, and synchronizing two kinds of signals, the error correction circuit 8 corrects the error generated at the time of transmission, the image processing circuit that elongates the video compressed signal 9, the speech processing circuit that processes the sound signal 10 that has been transmitted with the video signal, the synchronization circuit 11 controls a change over circuit 12 and controls the output of buffers 5 and 6, the record

signal output terminal 101 and 102 output a record signal, and 103 and 104 are regenerative-signal input terminals that input a regenerative signal.

[0017]

Also, 20 is a record regenerative apparatus that carries out record playback of the transmitted digital video signal. The input circuit 13 inputs a digital signal from a receiving set 4, the output circuit 15 outputs a digital signal to a receiving set 4, the record processing circuit that generates a record signal from the digital video signal 14 was inputted, the regeneration circuit 15 recovers a digital signal from a regenerative signal, and 17 are servo circuits where a rotating cylinder 18 performs a magnetic tape controls control 19 of the feed rate of a magnetic tape 18 etc., the engine speed of a rotating cylinder 17, etc. Moreover, 301-304 are the magnetic heads.

[0018]

In the receiving demodulator circuit 7 in a receiving set 4, although it is as low as what has a high priority in a digital video signal, reception of two kinds of signals and a recovery are performed. The H data 41 with a high priority and data with a low priority is called the L data 42. The transmission rates of the H data 41 and the L data 42 are 4.32 Mbps and 17.28 Mbps, respectively, and the ratio of the amount of data is set to 1:4. Since this H data 41 and the L data 42 are processed in a respectively independent circuit, generally among both, the jitter is contained and they are not completely synchronous relation. Then, once it stores the H data 41 in a buffer 6 and stores the L data 42 in a buffer 5, according to control

of a synchronization circuit, it is outputted as the synchronized synchronization H data 32 and synchronization L data 35. Namely, a buffer 6 and a buffer 5 are read at the rate completely synchronized by 1:4. It becomes possible to synchronize and output completely two kinds of signals asynchronous and received by such actuation, to the transmission rate of 1:4.

[0019]

At the time of the usual reception, the output of a buffer 5 and a buffer 6 has been chosen, and the change over circuit 11 corrects an error using the error correcting code added to the digital video signal by the error correction circuit 8, by the image processing circuit 9 and the speech processing circuit 10, it processes elongation to the synchronization H data 32 and the synchronization L data 35 that were synchronized with the buffer 5 and the buffer 6, and outputs it to them from output terminals 2 and 3. The synchronization H data 32 and the synchronization L data 35 are outputted to the record regenerative apparatus 20 at coincidence.

[0020]

In the record regenerative apparatus 20, an error correcting code, a synchronizing signal for record are added to the synchronization H data 32 and the synchronization L data 35 that were inputted into the input circuit 13 in the record processing circuit 14, a record signal is generated, and it records on a magnetic tape 18 by the rotating cylinder 17.

[0021]

What is necessary is just to record as it is in the record regenerative apparatus 20, without being conscious of both asynchrony, since H data and L data are already synchronized with the buffer 5 and the buffer 6 at this time.

[0022]

At the time of playback, the signal reproduced by the rotating cylinder 17 in the record regenerative apparatus 20 is inputted into the regeneration circuit 15, and correction of the error generated at the time of record playback is performed, and it restores to a digital signal. And it outputs to a receiving circuit 4 from an output circuit 16. The change over circuit 11 in a receiving set 4 outputs an image and voice from output terminals 2 and 3 by having chosen the signal inputted from input terminals 103 and 104, inputting into the error correction circuit 8 the signal reproduced with the record regenerative apparatus 20, and performing the same processing as the time of the usual reception. What is necessary is just to process the signal inputted from the record regenerative apparatus 20 as it is by the error correction circuit 8 or subsequent ones, since synchronization of H data and L data has already been performed at the time of record at this time. Also, the signal inputted from the record regenerative apparatus 20 may be inputted into buffers 5 and 6.

[0023]

As stated above, while correcting the error generated in the error correction circuit 8 at the time of transmission by recording the signal before an error correction, detection and correction of an error can be performed also about the error that was generated with the record regenerative apparatus 20 and that cannot be corrected. Also, you may make it receive the flag that shows an error with a regenerative signal from the record regenerative apparatus 20 about the error that was generated with the record regenerative apparatus 20 and which cannot be corrected.

[0024]

In Figure 1, although two buffers were formed, at least one buffer can absorb the H data 41 and the L data 42 asynchronous. For example, what is necessary is just to synchronize the output rate of a buffer 5 by the synchronization circuit 12 so that it may become the rate of the H data 41 4 times the transmission rate of receiving when only a buffer 5 is formed and the buffer 6 is not formed. Moreover, even if it forms only a buffer 6, by the same approach, asynchronous absorption can be performed by making the output rate of a buffer 6 into the rate of the L data 42 $1/4$ time the rate of receiving.

[0025]

Figure 3 shows an example of the signal outputted to the record regenerative apparatus 20 from a receiving set 4. Each data is transmitted by the bit serial and outputted

with the 34 or L bit clock 37 of H bit clocks which synchronizes to each.

[0026]

Although the problem from which the number of connection signal lines doubles arises like this system when carrying out record playback of two kinds of signals, compared with the case of parallel connection, the number of connection signal lines can be decreased by considering as the above mentioned connection specification of a bit serial. Also, in a receiving set 4, since the part which performs I/O with the record regenerative apparatus 20 just dissociated functionally, the design of a receiving set can also be performed easily.

[0027]

An input circuit 13 inputs the H input data 32 and the H bit clock 34, divides them 1 word = every 8 bits, and performs record processing as H stored data 33.

Moreover, similarly, from the L input data 35 and the L bit clock 37, it divides 1 word = every 8 bits, and record processing is performed as L stored data 36.

[0028]

H data and L data, for example, the intra that can develop only by the data of the frame - intraframe data and voice data that develop by using the data of the frame of before or the back constitute a control signal with high frame data and significance.

[0029]

In the above explanation, although two kinds, the H bit clock 34 and the L bit clock 37, were used as a bit clock, since it has synchronized completely, as for the H input data 32 and the L input data 35, at least one clock can transmit two sorts of signals. The specification of the connection signal in this case is shown in Figure 4. This figure takes out and writes only the circuit about the connection signal of a receiving set 4 and the record regenerative apparatus 20 in the system of Figure 1. The clock output terminal 130 that outputs the L bit clock 37 from the synchronization circuit 12, the clock input terminal 131 that inputs the L bit clock 134 which the record regenerative apparatus 20 outputs, and the playback clock generation circuit 138 that generates the H bit clock 136 from the L bit clock 134 are formed. Also, the record regenerative apparatus is also equipped with the record clock generation circuit for generating H bit clock from the L bit clock 37.

[0030]

As shown in Figure 4, the signal concerning the signal about record 3 and playback can perform record playback by the connection of a total of six of three. Also, the L bit clock 37 is used in Figure 4 as a clock used for connection, the H bit clock 34 may be used.

[0031]

Although the case where there is no special packet structure and data are only merely transmitted by the bit

serial has been stated to the H data 41 and the L data 42 above, also when input data has packet structure.

[0032]

For example, as shown in Figure 5, one packet is constituted from 148 bytes (1 byte = 8 bits) of the parity 213 for error corrections performed in a header 211, data 212, and the error correction circuit 8, and it may be transmitted. At this time, as shown in Figure 6, the synchronization circuit 12 in a receiving set 4 detects the head of each packet, and the H synchronizing signal 51 and the L synchronizing signal 53 that show that head are added and outputted to H packet data 52 and L packet data 54. Thus, it is necessary to reproduce this packet structure and to reproduce in the record regenerative apparatus 20, at the time of playback.

[0033]

Figure 7 is the block diagram of the digital signal receiving set corresponding in this case. This Figure adds H synchronizing signal output terminal 63, L synchronizing signal output terminal 64 and H synchronizing signal input terminal 65, and L synchronizing signal input terminal 66 to the circuit of Figure 1 .

[0034]

At the time of the usual reception, each synchronizing signals 51 and 53 that the synchronization circuit 12 outputs are chosen, and it outputs the change over circuit 11 to the processing part after an error correction circuit. Each synchronizing signals 51 and 53 are outputted to the

record regenerative apparatus 205 at coincidence from H synchronizing signal output terminal 63 and L synchronizing signal output terminal 64, and it records by performing packet synchronization of record timing with each inputted synchronizing signals 51 and 53 in the record regenerative apparatus 20.

[0035]

Also, at the time of playback, the playback H synchronizing signal 67 and the playback L synchronizing signal 68 are outputted so that the output circuit of the record regenerative apparatus 20 may reproduce the packet structure at the time of record, and the change over circuit 11 of a receiving set 4 chooses from the record regenerative apparatus 20 the synchronizing signals 67 and 68 inputted into H synchronizing signal input terminal 65 and L synchronizing signal input terminal 66. it enables this to process by reproducing the same packet structure as the time of record also in the time of playback in a receiving set 4.

[0036]

Also, on Figure 6, although the head timing of H packet data and L packet data in every four pieces is synchronized, with the record regenerative apparatus 20, it becomes possible by using this timing to synchronize a packet easily only with one synchronizing signal. Additionally, as explanation of Figure 4 described, the number of clocks one and, as for a receiving set 4 and the record regenerative apparatus 20, a signal should just connect 2, one clock, and one synchronizing signal. The connection specification at this time is shown in Figure 8.

This Figure adds connection of the L synchronizing signal 53 to connection of Figure 4, and has become four connection signals in a total of eight the 4 and playback side the record side. Since the phase of the H synchronizing signal 51 and the L synchronizing signal 53 is in agreement as shown in Figure 6, the playback synchronous detector 144 and the record synchronous detector 143 enable it to detect not only the head of L packet data but the head of H packet data. Also, as a synchronizing signal to be used, not the L synchronizing signal 53 shown in Figure 8, but the H synchronizing signal 51 may be used.

[0037]

When both of synchronizing signals are transmitted and it has a packet synchronization means in the record regenerative apparatus 20, there is no need of not necessarily synchronizing both head timing.

[0038]

Moreover, the H data 32 and the L data 35 may be compounded and transmitted to one signal line. In this case, although a data transfer rate increases, the number of connection signal lines can be decreased further. The configuration of the receiving set 4 in this case and the record regenerative apparatus 20 is shown in Figure 9. In this drawing, the record composition circuit where 501 generates the record complex data 505 from the H input data 32 and the L input data 35, and 503 are record separation circuits separated into the H data 511 and the L data 510 from the record complex data 505. Also, the playback composition circuit that generates the playback

complex data 506 from the H data 512 with which 504 was reproduced, and the L data 513, and 502 are playback separation circuits separated into the H data 514 and the L data 515 from the playback complex data 506. Although the H data 32 and the L data 35 need to keep synchronous relation perfect for the record complex data 505, the problem of the asynchrony of two kinds of signals is avoidable to the input of the record composition circuit 505 for the same reason as explanation of circuit actuation of Figure 1 by forming a buffer circuit 5 and a buffer 6 in each of the H data 32 and the L data 35. Here, the transmission rate of the record complex data 505 and the playback complex data 506 serves as for example, 21.6 Mbps (4.32 Mbps+17.28 Mbps).

[0039]

The example of a signal of the record complex data 505 and the playback complex data 506 is shown in Figure 10. In this drawing, HP expresses H packet data and LP1-LP4 express L packet data, respectively. 5 times, increase 1.25 times the transmission rate of the synchronization L data 35 for the transmission rate of the synchronization H data 32 again, and both transmission rate is made in agreement, one piece and L packet data are synchronized with four pieces and the 21.6MHz bit clocks 82 and 84 to the transmission time of one packet of the synchronization H data 32, and H packet data are transmitted to it.

[0040]

Also, separation of H packet and L packet can be performed, for example by generating the synthetic synchronizing signals 81 and 83 synchronizing with the

head signal of H packet. That is, the synthetic synchronizing signal 81 is generated and outputted in the record composition circuit 501 at the time of record, it is the record separation circuit 503 and discernment of one H packet data and four L packet data that continue after that is performed based on the synthetic synchronizing signal 81. Similarly, in the time of playback, the synthetic synchronizing signal 83 is generated and outputted in the playback composition circuit 504, and discernment from four L packet data that continue after that with one H packet data based on the synthetic synchronizing signal 83 is performed in the playback separation circuit 506.

[0041]

By considering as the specification of the above connection signal, as shown in Figure 9, it is a record side, is 3, data 505, clock 82, and synchronizing signal 81, and playback side, and is good at the connection of a total of every six of three, data 506, a clock 84, and a synchronizing signal 83.

[0042]

Also, as shown in Figure 11, H packet recognition signal 91 and L packet recognition signal 92 may be added and transmitted to the record complex data 505 and the playback complex data 506. H packet recognition signal 91 and L packet recognition signal 92 are added to the record complex data 505 by the record composition circuit 501, and it outputs, and at the time of record, it is the record separation circuit 503 in the record regenerative apparatus 20, and each recognition signals 91 and 92 separate it into the H data 511 and the L data 510. It is the

playback composition circuit 504 in the record regenerative apparatus 20, and at the time of playback, H packet recognition signal 91 and L packet recognition signal 92 are added and outputted to the playback complex data 506, and it divides them into the H data 514 and the L data 515 with each recognition signals 91 and 92 in the playback separation circuit 506. In this case, since the amount of data of complex data increases only the part of a synchronizing signal, a little transmission rate also increases. For example, what is necessary is just to be about 22MHz as a synthetic bit clock, as shown in Figure 11.

[0043]

Also, as a synchronizing signal added to complex data 507 and 508, it is possible at least for H packet recognition signal 91 to be good, and to perform discernment of one H packet data and four L packet data based on H packet recognition signal 91, for example. Of course, it is also good to accept L packet recognition signal 92.

[0044]

By considering as the specification of the above connection signal, as shown in Figure 12, it may be a record side, and may be two, data 507 and clock 85, and playback side, the connection of a total of four of two, data 508 and a clock 86, is sufficient, and the number of connection signals can be decreased further.

[0045]

Also, in the above explanation, although only two kinds of cases have been described as a class of signal, even when carrying out record playback of three or more kinds of signals, the same effectiveness can completely be acquired by using this invention. In this case, what is necessary is to add only the part from which the number of signals increased the buffer circuit.

[0046]

[Effect of the invention] According to this invention, the compression picture signal that consists of two kinds of digital signals is received, in the system that carries out record playback, it is connection of every record playback book three (it is 4 when using a synchronizing signal), and record playback of between a receiving set and record regenerative apparatus can be carried out.

[0047]

Moreover, even when there is no perfect synchronous relation to two kinds of digital signals and the jitter is included in them, it is possible to synchronize both signals with a receiving set and to output, and two kinds of signals can be recorded without excess and deficiency with a record regenerative apparatus. Also, even when each data inputted has packet structure, respectively, two kinds of signals can be synchronized similarly.

[0048]

Also, by compounding and transmitting two kinds of digital signals to one kind of signal, it is connection of every record playback book 2 (it is 3 when using a synchronizing signal), and record playback can be carried out.

[Brief description of the figures]

[Figure 1] is the configuration of the digital signal receiving set of the example of this invention.

[Figure 2] is the explanatory view of the compression approach of a digital video signal.

[Figure 3] is the timing chart of the signal outputted to the record regenerative apparatus 20 from a receiving set 4.

[Figure 4] is the figure that represents the connection specification of a receiving set 4 and the record regenerative apparatus 20.

[Figure 5] is the block diagram of input data 32 and 35.

[Figure 6] is the timing chart showing the timing relationship of each packet and a synchronizing signal.

[Figure 7] is the configuration of the digital signal receiving set of other examples of this invention.

[Figure 8] is figure that represents the connection specification of a receiving set 4 and the record regenerative apparatus 20.

[Figure 9] is the configuration of the digital signal receiving set of other examples of this invention.

[Figure 10] is the timing chart that shows the example of the transmission signal in the equipment of Figure 9.

[Figure 11] is the timing chart that shows the example of the transmission signal in the equipment of Figure 9.

[Figure 12] is the configuration of the digital signal receiving set of other examples of this invention.

[Description of Notations]

- 1 - Antenna,
- 4 - Receiving set,
- 5 - Buffer,
- 6 - Buffer,
- 8 - Error correction circuit,
- 9 - Image processing circuit,
- 10 - Speech processing circuit,
- 11 - Change-over circuit,
- 12 - Synchronization circuit,
- 20 - Record regenerative apparatus,
- 81 - Synthetic synchronizing signal,
- 501 - Record composition circuit,
- 502 - Playback separation circuit,
- 503 - Record separation circuit,
- 504 - Playback composition circuit,
- 505 - Record composite signal,
- 504 - Playback composite signal.

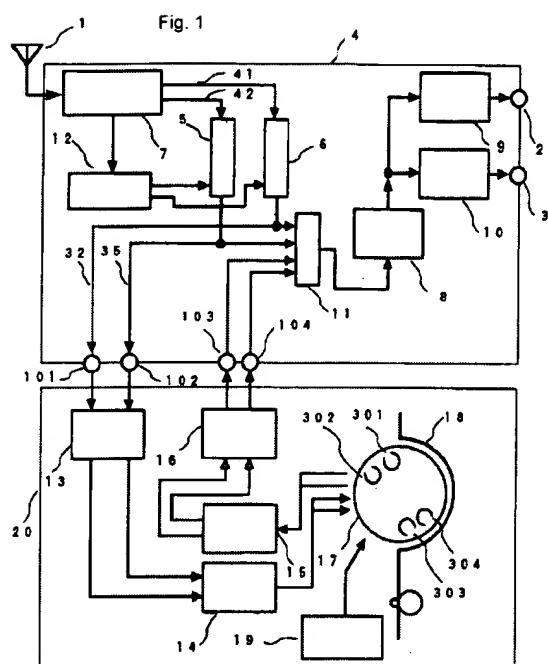


Fig. 6

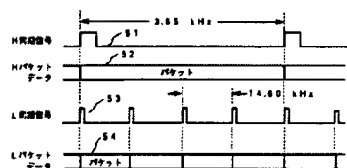


Fig. 4

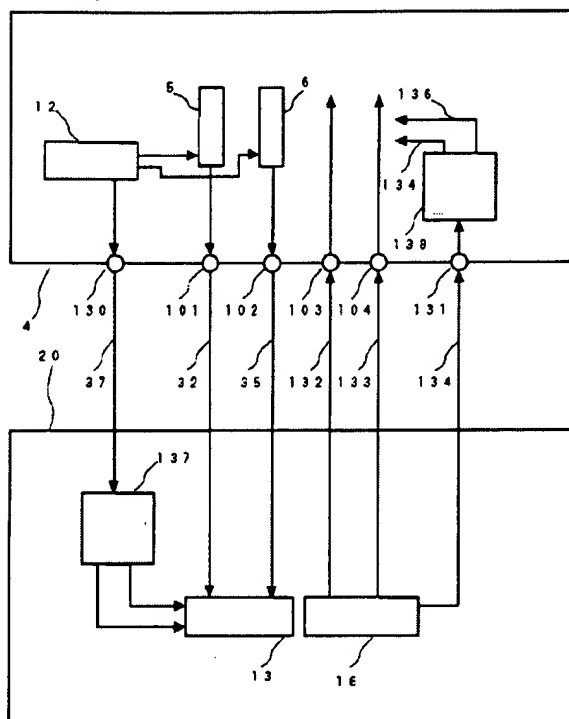


Fig. 2

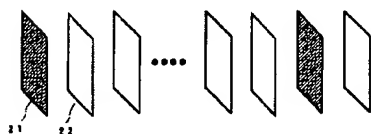


Fig. 3

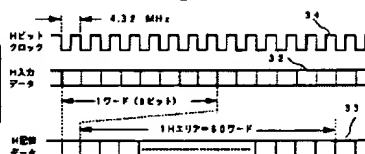


Fig. 5

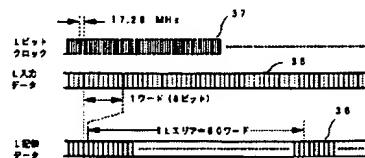
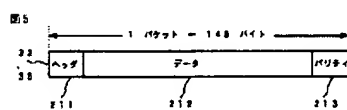


Fig. 11



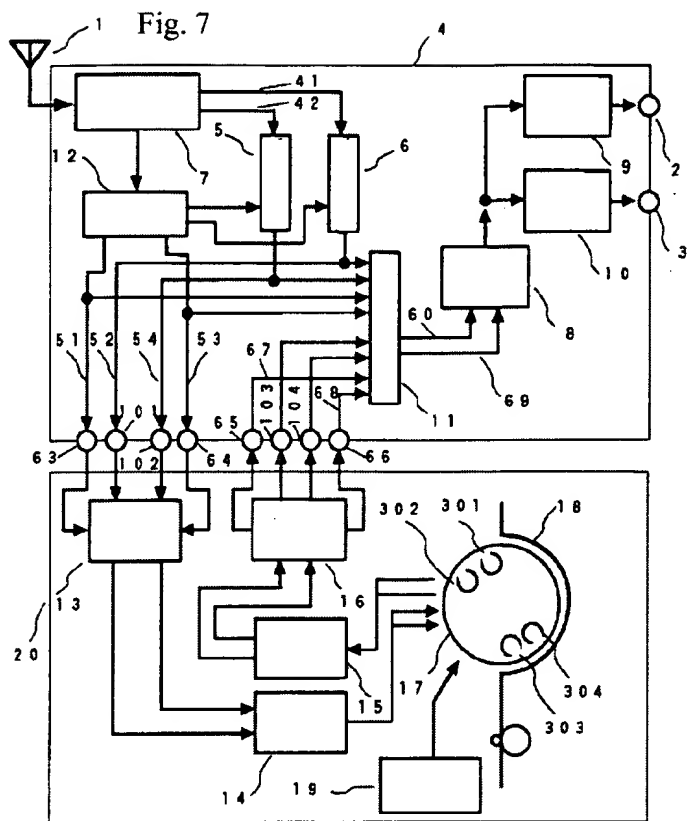


Fig. 8

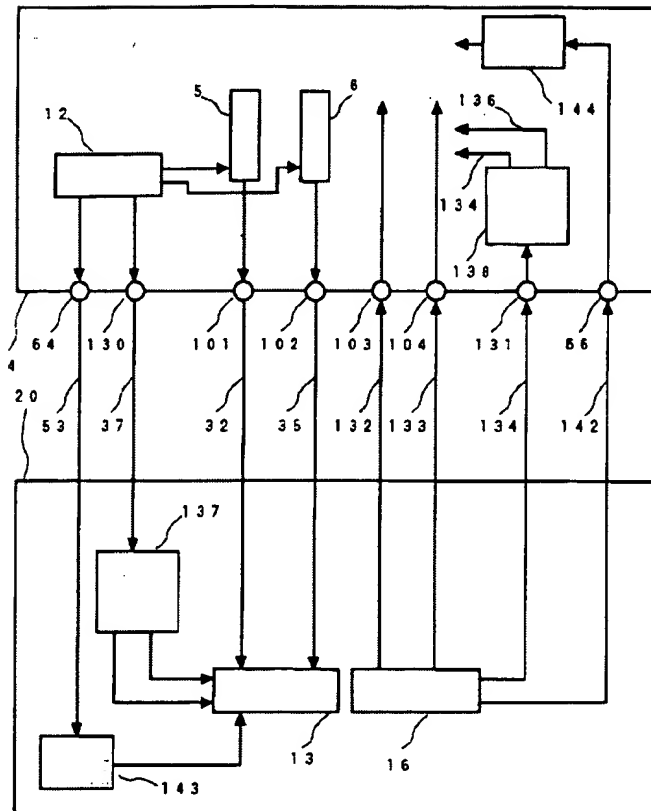


Fig. 9

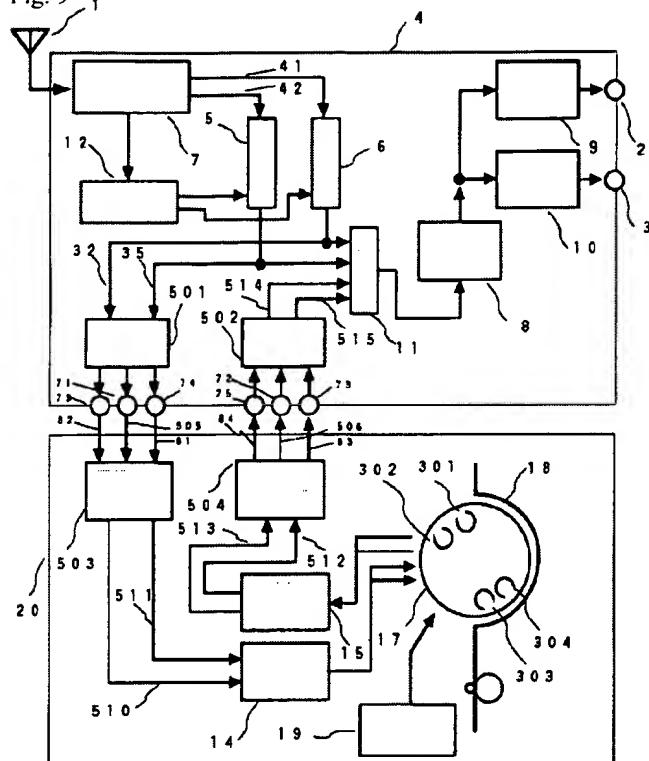


Fig. 10

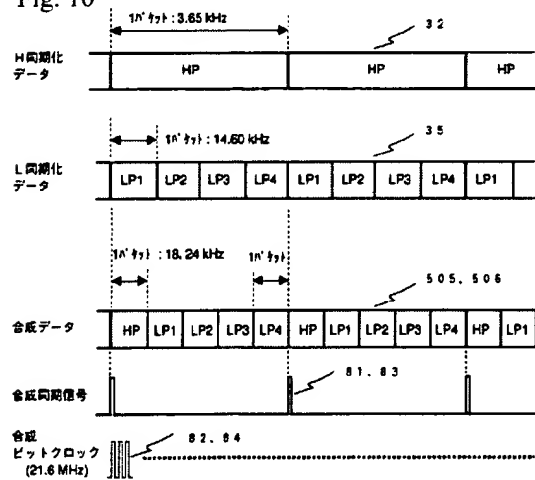
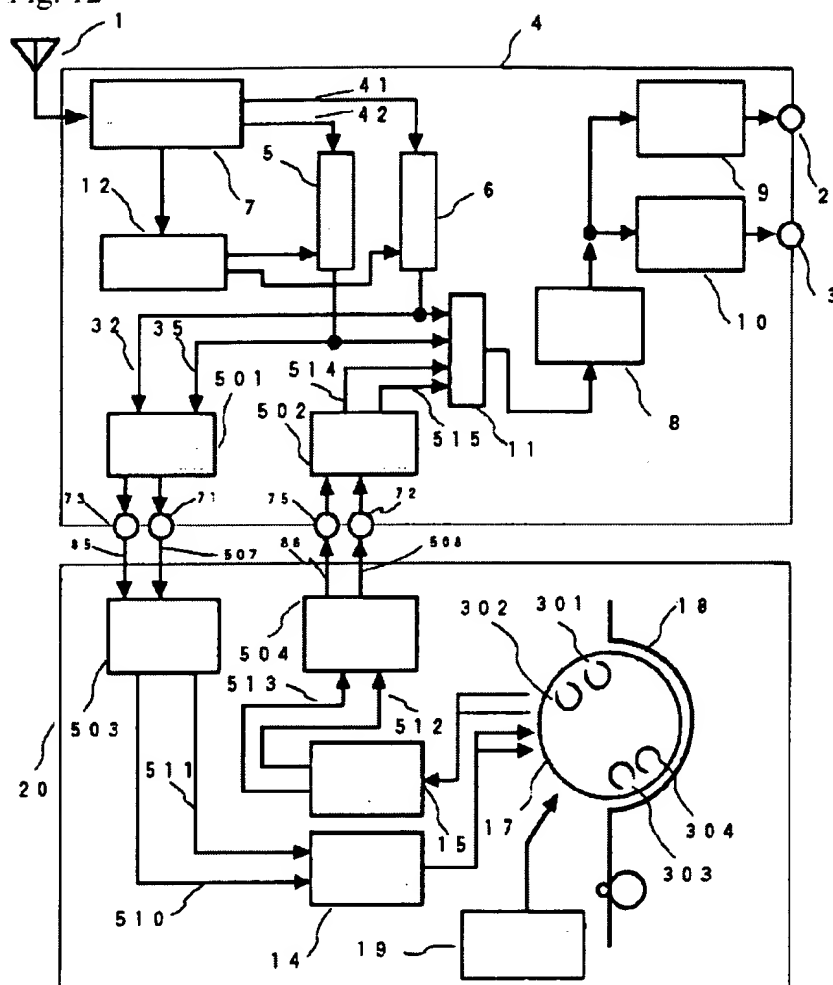


Fig. 12



(11)特許出願公開番号

(43)公開日 平成6年(1994)11月15日

技術表示箇所

審査請求 未請求 請求項の数15 O.L (全 14 頁)

(74)代理人 弁理士 小川 勝男

-111-

【特許請求の範囲】

【請求項1】第1の信号と第2の信号からなるデジタル映像信号を受信及び復調する受信装置であり、前記第1の信号及び前記第2の信号の受信及び復調を行う受信手段と、前記受信手段で受信した前記第1の信号及び前記第2の信号との同期化を行い、前記第1の信号より第1の同期化信号を生成し、前記第2の信号より第2の同期化信号を生成する同期化手段と、前記第1の同期化信号を出力する第1の出力手段と、前記第2の同期化信号を出力する第2の出力手段を設けたことを特徴とするデジタル信号受信装置。

【請求項2】前記受信手段で受信した前記第1の信号を一時蓄える第1のバッファ手段と、前記受信手段で受信した前記第2の信号を一時蓄える第2のバッファ手段を設け、前記同期化手段は、前記第1のバッファ手段と前記第2のバッファ手段を同期化された速度で読み出すことにより、前記第1の信号と前記第2の信号との同期化を行うことを特徴とする請求項1記載のデジタル信号受信装置。

【請求項3】前記受信手段で受信入力した前記第1の信号または前記第2の信号のどちらかを一時蓄えるバッファ手段を設け、前記同期化手段は、前記第2の信号または前記第1の信号と同期化された速度で前記バッファ手段を読み出すことにより、前記第1の信号と前記第2の信号との同期化を行うことを特徴とする請求項1記載のデジタル信号受信装置。

【請求項4】前記同期化手段は、前記第1の同期化信号または前記第2の同期化信号に同期したクロックを生成し、前記クロックを出力するクロック出力手段を設け、前記第1の同期化信号と前記第2の同期化信号と前記クロックの3種類の信号を出力することを特徴とする請求項1～請求項3記載のデジタル信号受信装置。

【請求項5】前記第1の信号及び前記第2の信号はパケットを構成しており、前記第1の信号のパケットの周期または前記第2の信号のパケットの周期を示す同期信号を生成する同期信号生成手段と、前記同期信号を出力する同期出力手段と、前記第1の同期化信号または前記第2の同期化信号に同期したクロックを生成する前記同期化手段と、前記クロックを出力するクロック出力手段を設け、前記第1の同期化信号と前記第2の同期化信号と前記クロックと前記同期信号の4種類の信号を出力することを特徴とする請求項1～請求項3記載のデジタル信号受信装置。

【請求項6】前記デジタル映像信号は、全画面情報によって構成された信号と前または後のフレーム信号との差分情報によって構成され、前記第1の信号は前記全画面情報によって構成された信号を含むことを特徴とする請求項1～請求項5記載のデジタル信号受信装置。

【請求項7】第1の信号と第2の信号からなるデジタル映像信号を受信及び復調する受信装置であり、前記第

1の信号及び前記第2の信号の受信及び復調を行う受信手段と、前記受信手段で受信した前記第1の信号及び前記第2の信号との同期化を行い、前記第1の信号より第1の同期化信号を生成し、前記第2の信号より第2の同期化信号を生成する同期化手段と、前記第1の同期化信号と前記第2の同期化信号を第3の信号に合成する合成手段と、前記第3の信号を出力する出力手段と、第4の信号を入力する入力手段と、前記入力手段で入力した前記第4の信号を第5の信号と第6の信号に分離する分離手段と、前記分離手段で分離した前記第5の信号及び前記第6の信号か前記同期化手段により同期化された前記第1の同期化信号及び前記第2の同期化信号かを選択する選択手段と、前記選択手段の出力信号の処理を行う信号処理手段を設けたことを特徴とするデジタル信号受信装置。

【請求項8】前記受信手段で受信した前記第1の信号を一時蓄える第1のバッファ手段と、前記受信手段で受信した前記第2の信号を一時蓄える第2のバッファ手段を設け、前記同期化手段は、前記第1のバッファ手段と前記第2のバッファ手段を同期化された速度で読み出すことにより、前記第1の信号と前記第2の信号との同期化を行うことを特徴とする請求項7記載のデジタル信号受信装置。

【請求項9】前記受信手段で受信した前記第1の信号または前記第2の信号のどちらかを一時蓄えるバッファ手段を設け、前記同期化手段は、前記第2の信号または前記第1の信号と同期化された速度で前記バッファ手段を読み出すことにより、前記第1の信号と前記第2の信号との同期化を行うことを特徴とする請求項7記載のデジタル信号受信装置。

【請求項10】前記第1の信号及び前記第2の信号はパケットを構成しており、前記第3の信号における前記第1の信号のパケットの周期または前記第2の信号のパケットの周期を示す第1の同期信号を生成する同期信号生成手段と、前記第3の信号に同期して前記第1の同期信号を出力する同期出力手段と、前記第4の信号における前記第1の信号のパケットの周期または前記第2の信号のパケットの周期を示す第2の同期信号を入力する同期入力手段を設け、前記分離手段は前記同期入力手段より入力した前記第2の同期信号より前記第5の信号と前記第6の信号の分離を行うことを特徴とする請求項7～請求項9記載のデジタル信号受信装置。

【請求項11】前記第1の信号及び前記第2の信号はパケットを構成しており、前記第3の信号における前記第1の信号のパケットの周期または前記第2の信号のパケットの周期を示す第1の同期信号を前記第3の信号に付加して第7の信号を生成する同期信号生成手段を設け、前記出力手段は、前記第7の信号を出力し、前記分離手段は、入力された第4の信号に含まれる前記第1の信号のパケットの周期または前記第2の信号のパケットの周

期を示す第2の同期信号により前記第5の信号と前記第6の信号の分離を行うことを特徴とする請求項7～請求項9記載のデジタル信号受信装置。

【請求項12】前記合成手段は、前記第3の信号に同期したクロックを生成し、前記クロックを出力するクロック出力手段を設け、前記第3の信号と前記第1の同期化信号と前記クロックの3種類の信号を出力することを特徴とする請求項10記載のデジタル信号受信装置。

【請求項13】前記合成手段は、前記第3の信号に同期したクロックを生成し、前記クロックを出力するクロック出力手段を設け、前記第7の信号と前記クロックの2種類の信号を出力することを特徴とする請求項11記載のデジタル信号受信装置。

【請求項14】前記デジタル映像信号は、全画面情報によって構成された信号と前または後のフレーム信号との差分情報によって構成され、前記第1の信号は前記全画面情報によって構成された信号を含むことを特徴とする請求項7～請求項13記載のデジタル信号受信装置。

【請求項15】前記出力手段は、前記第1の信号及び前記第2の信号を記録再生する記録再生装置に信号を出力することを特徴とする請求項1～請求項6または請求項7～請求項14記載のデジタル信号受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル信号を受信及び記録再生するシステムにおける受信装置に関し、特に圧縮された2種類のデジタル映像信号を受信して、記録再生装置に出力する装置に関するものである。

【0002】

【従来の技術】高精細画面のテレビとして、テレビジョン学会誌46巻3号(1992年)第276頁から283頁に記載のように、デジタル映像信号を圧縮して伝送するデジタル放送方式が考えられている。

【0003】図2はデジタル映像信号の圧縮方法を示したものである。21及び22はテレビ画面の1フレームを表している。映像信号の圧縮は、斜線で示すような例えば9フレームおきのフレームはフレーム内の全画面情報の圧縮を行い、その他のフレームは前または後のフレームのデータよりの予測を用いて差分情報のみの圧縮を行うことにより、伝送量を低減させている。以下の説明では、前者をイントラフレーム、後者をインターフレームと呼び、パケットを構成して伝送される。

【0004】このようなデジタル放送によって送られてきた映像信号を記録する場合には、圧縮されているデジタル映像信号をそのまま記録すれば、記録容量が少なく、効率の良い記録を行うことができる。

【0005】

【発明が解決しようとする課題】しかし、イントラフレームとインターフレームの2種類の信号を記録する場

合、受信装置と記録再生装置との接続信号線の数が増加し、システムが複雑になる問題が生じる。

【0006】また、イントラフレームとインターフレームでは、伝送レートが異なり、それぞれ別の受信、復調処理が行われるため、両者の信号間には一般にジッターが含まれており、完全な同期関係が保たれない場合がある。このような2種類の信号を記録する際、両者の非同期性を吸収しないと、過不足無く記録することが不可能となる。

10 【0007】本発明の目的は、完全な同期関係には無い2種類のデジタル信号からなる圧縮画像信号を同期化して記録再生装置に出力し、かつ接続信号線の数の少ないデジタル信号受信装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、第1の信号及び第2の信号の受信及び復調を行う受信手段と、受信手段で受信した第1の信号及び第2の信号との同期化を行う同期化手段と、同期化手段により同期化された第1の同期化信号を出力する第1の出力手段と、同期化手段により同期化された第2の同期化信号を出力する第2の出力手段を設けることにより達成できる。この同期化手段として、受信手段で受信した第1の信号を一時蓄える第1のバッファ手段と、第2の信号を一時蓄える第2のバッファ手段を設ければ良い。または、第1のバッファあるいは第2のバッファのどちらかのみを設けるだけでも良い。

30 【0009】また、接続信号線の数を減少させるためには、同期化手段により同期化された第1の同期化信号と第2の同期化信号を第3の信号に合成する合成手段と、前記第3の信号を出力する出力手段と、前記記録再生装置で再生された第4の信号を入力する入力手段と、前記入力手段で入力した前記第4の信号を第5の信号と第6の信号に分離する分離手段と、前記分離手段で分離した前記第5の信号及び前記第6の信号が前記同期化手段により同期化された前記第1の同期化信号及び前記第2の同期化信号かを選択する選択手段と、前記選択手段の出力信号の処理を行う信号処理手段を設けることにより達成できる。

【0010】

40 【作用】受信装置で復調後の信号を入出力すれば、機能的に分離したポイントから信号を取り出せるので、受信装置のシステムが単純化できる。また、ビットシリアル転送とすることで、接続信号線の本数を減少できる。

【0011】また、受信手段で受信した第1の信号と第2の信号をそれぞれバッファで独立に記憶することにより、第1の信号と第2の信号の間にジッターが存在し、完全な同期関係になくてもそれぞれのバッファに過不足無く記憶でき、その後第1のバッファと第2のバッファをそれぞれ同期化された速度で読み出して出力することにより、第1の信号と第2の信号を完全に同期化するこ

5

とが可能となる。記録再生装置は、この同期化された第1の同期化信号と第2の同期化信号を入力して、そのまま記録すれば良い。

【0012】第1のバッファあるいは第2のバッファのみを設けた場合は、第1のバッファあるいは第2のバッファを第2に信号あるいは第1の信号の受信速度と同期した速度で読み出すことにより第1の信号と第2の信号を完全に同期化できる。

【0013】また、第1の信号と第2の信号を合成して第3の信号を生成して伝送することにより、さらに接続
10 信号線の数を減少できる。

【0014】

【実施例】以下、本発明の実施例を図面を用いて説明する。

【0015】図1は、本発明のデジタル信号受信装置の構成であり、受信装置4及び記録再生装置20の2個の装置からなるシステムを構成する。

【0016】1はアンテナ、4は伝送されたデジタル映像信号を受信する受信装置であり、7は信号を受信し、受信したデジタル信号を復調する受信復調回路、
20 5及び6は受信復調回路7の出力を一時蓄えて、2種類の信号を同期化するためのバッファ、8は伝送時に発生した誤りを訂正する誤り訂正回路、9は圧縮されている映像信号を伸張する映像処理回路、10は映像信号と共に伝送されてきた音声信号を処理する音声処理回路、11は切換回路、12はバッファ5及び6の出力を制御する同期化回路、101及び102は記録信号を出力する記録信号出力端子、103及び104は再生信号を入力する再生信号入力端子である。

【0017】また、20は伝送されたデジタル映像信号を記録再生する記録再生装置であり、13は受信装置4よりデジタル信号を入力する入力回路、15は受信装置4へデジタル信号を出力する出力回路、14は入力されたデジタル映像信号より記録信号を生成する記録処理回路、15は再生信号よりデジタル信号を復調する再生処理回路、17は回転シリンダ、18は磁気テープ、19は磁気テープ18の送り速度等の制御、回転シリンダ17の回転数等の制御を行うサーボ回路である。また、301~304は磁気ヘッドである。

【0018】受信装置4における受信復調回路7では、
40 デジタル映像信号を優先度の高いものと低いものの2種類の信号の受信、復調を行う。優先度の高いデータをHデータ41、優先度の低いデータをLデータ42と呼ぶ。Hデータ41とLデータ42の伝送レートは、それぞれ4.32Mbps、17.28Mbpsであり、データ量の比率は1:4としている。このHデータ41とLデータ42はそれぞれ独立の回路で処理されるため、両者の間には、一般にジッターが含まれており、完全には同期関係ではない。そこで、Hデータ41をバッファ6に、Lデータ42をバッファ5に一度蓄えてから、同
50

6

同期化回路の制御に従い、互いに同期化された同期化Hデータ32及び同期化Lデータ35として出力される。即ち、バッファ6とバッファ5を、1:4に完全に同期化された速度で読み出しを行う。このような操作により、非同期で受信される2種類の信号を、完全に1:4の伝送レートに同期化して出力することが可能となる。

【0019】通常の受信時には、切換回路11はバッファ5及びバッファ6の出力を選択しており、バッファ5及びバッファ6で同期化された同期化Hデータ32及び同期化Lデータ35に、誤り訂正回路8によりデジタル映像信号に付加されている誤り訂正符号を用いて誤りを訂正し、映像処理回路9及び音声処理回路10によって伸張等の処理を行い、出力端子2及び3より出力する。同時に記録再生装置20に同期化Hデータ32及び同期化Lデータ35を出力する。

【0020】記録再生装置20では、入力回路13に入力された同期化Hデータ32及び同期化Lデータ35に、記録処理回路14で、記録用の誤り訂正符号や同期信号等を付加して記録信号を生成し、回転シリンダ17により磁気テープ18に記録する。

【0021】このとき、HデータとLデータは、バッファ5及びバッファ6で既に同期化されているので、記録再生装置20では、両者の非同期性を意識せずにそのまま記録するだけで良い。

【0022】再生時は、記録再生装置20における回転シリンダ17によって再生された信号が再生処理回路15に入力され、記録再生時に発生した誤りの訂正等を行い、デジタル信号の復調を行う。そして、出力回路16より受信回路4に出力する。受信装置4における切換回路11は、入力端子103及び104から入力される信号を選択しており、記録再生装置20により再生された信号を誤り訂正回路8に入力し、通常の受信時と同様の処理を行うことにより、出力端子2及び3より映像及び音声 outputs する。この時、記録時に既にHデータとLデータの同期化が行われているので、記録再生装置20より入力した信号を、誤り訂正回路8以降により、そのまま処理すれば良い。なお、記録再生装置20より入力した信号をバッファ5及び6に入力しても良い。

【0023】上で述べたように、誤り訂正前の信号を記録することにより、誤り訂正回路8において、伝送時に発生した誤りを訂正すると同時に、記録再生装置20で発生した訂正不能な誤りについても誤りの検出及び訂正を行うことができる。なお、記録再生装置20で発生した訂正不能な誤りについては、再生信号と共に誤りを示すフラグを記録再生装置20より受け取るようにしてもよい。

【0024】図1では、バッファを2個設けていたが、1個のバッファでも、Hデータ41とLデータ42の非同期を吸収することができる。例えばバッファ5のみを設け、バッファ6を設けていない場合、同期化回路12

により、バッファ5の出力速度をHデータ41の受信速度の4倍の伝送レートとなるように同期化させれば良い。またバッファ6のみを設けても同様の方法で、バッファ6の出力速度を、Lデータ42の受信速度の1/4倍の速度にすることにより、非同期の吸収を行える。

【0025】図3は、受信装置4より記録再生装置20に出力する信号の一例を示したものである。それぞれのデータは、ビットシリアルで転送され、それぞれに対して同期しているHビットクロック34、Lビットクロック37とともに出力する。

【0026】本システムのように、2種類の信号を記録再生する場合、接続信号線の数が増える問題が生じるが、上記したビットシリアルの接続仕様とすることで、パラレル接続の場合と比べて、接続信号線数を減少させることができる。また、受信装置4においても、記録再生装置20との入出力を行う個所が、機能的に分離したところであるため、受信装置の設計も容易に行うことができる。

【0027】入力回路13は、H入力データ32とHビットクロック34を入力して、1ワード=8ビットごとに区切ってH記憶データ33として記録処理を行う。また、同様に、L入力データ35とLビットクロック37より1ワード=8ビットごとに区切ってL記憶データ36として記録処理を行う。

【0028】Hデータは、例えば、そのフレームのデータのみで伸張を行うことのできるイントラフレームデータや重要度の高い制御信号、Lデータは、例えば、前または後のフレームのデータも用いて伸張を行うインターフレームデータや音声データにより構成する。

【0029】以上の説明では、ビットクロックとしてHビットクロック34及びLビットクロック37の2種類を用いていたが、H入力データ32とL入力データ35とは、完全に同期化しているため、1本のクロックでも2種の信号の伝送を行うことができる。この場合の接続信号の仕様を図4に示す。同図は、図1のシステムにおいて、受信装置4と記録再生装置20との接続信号に関する回路のみを取り出して書いたものである。同期化回路12からLビットクロック37を出力するクロック出力端子130と、記録再生装置20が出力するLビットクロック134を入力するクロック入力端子131と、Lビットクロック134よりHビットクロック136を生成する再生クロック生成回路138を設けている。また、記録再生装置にも、Lビットクロック37よりHビットクロックを生成するための記録クロック生成回路を備えている。

【0030】図4に示すように、記録に関する信号が3本、再生に関する信号が3本の、計6本の接続で、記録再生が行える。尚、図4では接続に使用するクロックとして、Lビットクロック37を用いているが、Hビットクロック34を用いても良い。

【0031】以上では、Hデータ41、Lデータ42には、特別なバケット構造が無く、ただ単にビットシリアルでデータを転送する場合について述べてきたが、入力データがバケット構造を持つ場合も考えられる。

【0032】例えば、図5に示すように、ヘッダ211、データ212、誤り訂正回路8で行う誤り訂正用のパリティ213の148バイト(1バイト=8ビット)で1バケットを構成して転送される場合がある。この時、図6に示すように、受信装置4における同期化回路12により各バケットの先頭を検出し、その先頭を示すH同期信号51、L同期信号53を、Hバケットデータ52、Lバケットデータ54に付加して出力する。従って、記録再生装置20では、再生時にこのバケット構造を再現して再生する必要がある。

【0033】図7は、この場合に対応するためのデジタル信号受信装置の構成図である。同図は、図1の回路にH同期信号出力端子63、L同期信号出力端子64、及びH同期信号入力端子65、L同期信号入力端子66を追加したものである。

【0034】通常の受信時は、切換回路11は、同期化回路12が出力する各同期信号51、53を選択し、誤り訂正回路以降の処理部分に出力する。同時に各同期信号51、53をH同期信号出力端子63、L同期信号出力端子64から記録再生装置205に出力し、記録再生装置20では、入力した各同期信号51、53により、記録タイミングのバケット同期化を行って記録する。

【0035】また、再生時は、記録再生装置20の出力回路が、記録時のバケット構造を再現するように再生H同期信号67及び再生L同期信号67を出力し、受信装置4の切換回路11は、記録再生装置20からH同期信号入力端子65、L同期信号入力端子66に入力される同期信号67、68を選択する。これにより、受信装置4において、再生時でも記録時と同一のバケット構造を再現して処理を行うことが可能となる。

【0036】なお、図6では、Hバケットデータと4個おきのLバケットデータの先頭タイミングを同期させているが、このタイミングを用いることにより、記録再生装置20では、バケットの同期化を、1本の同期信号のみで容易に行うことが可能となる。さらに、図4の説明で述べたように、クロックも1本で良く、受信装置4と記録再生装置20とは、信号が2本、クロック1本、同期信号1本のみを接続すれば良い。この時の接続仕様を図8に示す。同図は、図4の接続にL同期信号53の接続を追加したものであり、記録側4本、再生側4本の、計8本の接続信号となっている。図6に示したように、H同期信号51とL同期信号53の位相が一致しているため、再生同期検出回路144及び記録同期検出回路143により、Lバケットデータの先頭だけでなく、Hバケットデータの先頭も検出することが可能となる。尚、使用する同期信号としては、図8に示したL同期信号5

3ではなく、H同期信号51を用いても良い。

【0037】同期信号を2本とも転送し、記録再生装置20にパケット同期化手段を持つ場合は、必ずしも両者の先頭タイミングを同期化させる必要は無い。

【0038】また、Hデータ32とLデータ35は1本の信号線に合成して転送してもよい。この場合、データの転送レートは増加するが、接続信号線の数をさらに減少させることができる。図9にこの場合の受信装置4と記録再生装置20の構成を示す。同図において、501はH入力データ32とL入力データ35から記録合成データ505を生成する記録合成回路、503は記録合成データ505からHデータ511とLデータ510に分離する記録分離回路である。また504は再生されたHデータ512とLデータ513から再生合成データ506を生成する再生合成回路、502は再生合成データ506からHデータ514とLデータ515に分離する再生分離回路である。また、記録合成データ505を生成するためには、Hデータ32とLデータ35は完全に同期関係を保つ必要があるが、記録合成回路505の入力に、Hデータ32とLデータ35のそれぞれにバッファ回路5及びバッファ6を設けることにより、図1の回路動作の説明と同じ理由により2種類の信号の非同期性の問題を避けることができる。ここで、記録合成データ505及び再生合成データ506の伝送レートは、例えば21.6Mbps(4.32Mbps+17.28Mbps)となる。

【0039】図10に、記録合成データ505及び再生合成データ506の信号例を示す。同図において、HPはHパケットデータを、LP1〜LP4はLパケットデータをそれぞれ表している。同期化Hデータ32の伝送レートを5倍に、また同期化Lデータ35の伝送レートを1.25倍として、両者の伝送レートを一致させ、同期化Hデータ32の1パケットの伝送時間に、Hパケットデータを1個、Lパケットデータを4個、21.6MHzのビットクロック82、84と同期させて伝送する。

【0040】また、例えば合成同期信号81及び83を、Hパケットの先頭信号に同期して生成することにより、HパケットとLパケットの分離を行うことができる。つまり、記録時は、記録合成回路501で合成同期信号81を生成、出力し、記録分離回路503で、合成同期信号81を基に、Hパケットデータ1個と、その後に続くLパケットデータ4個の識別を行う。同様に再生時では、再生合成回路504で合成同期信号83を生成、出力し、再生分離回路506で、合成同期信号83を基に、Hパケットデータ1個と、その後に続くLパケットデータ4個との識別を行う。

【0041】以上の接続信号の仕様とすることにより、図9に示したように、記録側でデータ505、クロック82、同期信号81の3本、再生側でデータ506、ク

ロック84、同期信号83の3本の計6本ずつの接続で良い。

【0042】また、図11に示すように、記録合成データ505及び再生合成データ506に、Hパケット識別信号91及びLパケット識別信号92を付加して転送しても良い。記録時は、記録合成回路501により記録合成データ505にHパケット識別信号91及びLパケット識別信号92を付加して出力し、記録再生装置20における記録分離回路503で、各識別信号91及び92によりHデータ511とLデータ510に分離する。再生時は、記録再生装置20における再生合成回路504で、再生合成データ506にHパケット識別信号91及びLパケット識別信号92を付加して出力し、再生分離回路506で各識別信号91及び92によりHデータ514とLデータ515に分離する。この場合、合成データのデータ量が、同期信号の分だけ増加するため、伝送レートも少し増加する。例えば合成ビットクロックとして、図11に示すように約22MHzとすれば良い。

【0043】また、合成データ507及び508に付加する同期信号としては、例えばHパケット識別信号91だけでも良く、Hパケット識別信号91を基に、Hパケットデータ1個とLパケットデータ4個の識別を行うことが可能である。もちろん、Lパケット識別信号92のみでも良い。

【0044】以上の接続信号の仕様とすることにより、図12に示すように、記録側でデータ507、クロック85の2本、再生側でデータ508、クロック86の2本の計4本の接続で良く、さらに接続信号の数を減少することができる。

【0045】なお、以上の説明では、信号の種類として2種類の場合についてのみ述べてきたが、3種類以上の信号を記録再生する場合でも、本発明を用いることにより、全く同様の効果を得ることができる。この場合、バッファ回路を信号数が増加した分だけ追加すれば良い。

【0046】

【発明の効果】本発明によれば、2種類のデジタル信号からなる圧縮画像信号を受信、記録再生するシステムにおいて、受信装置と記録再生装置との間を、記録再生各3(同期信号を用いる場合は4)本ずつの接続で、記録再生することができる。

【0047】また、2種類のデジタル信号に、完全な同期関係が無く、ジッターを含んでいる場合でも、受信装置により両信号を同期化して出力することが可能であり、記録再生装置で2種類の信号を過不足無く記録することができる。また、入力される各データが、それぞれパケット構造を持っている場合でも、同様に2種類の信号の同期化を行うことができる。

【0048】さらに、2種類のデジタル信号を1種類の信号に合成して伝送することにより、記録再生各2(同期信号を用いる場合は3)本ずつの接続で、記録再

生することができる。

【図面の簡単な説明】

【図1】本発明の実施例のデジタル信号受信装置の構成である。

【図2】デジタル映像信号の圧縮方法の説明図である。

【図3】受信装置4より記録再生装置20に出力する信号のタイミング図である。

【図4】受信装置4と記録再生装置20との接続仕様を示した図である。

【図5】入力データ32及び35の構成図である。

【図6】各パケットと同期信号のタイミング関係を示すタイミング図である。

【図7】本発明の他の実施例のデジタル信号受信装置の構成である。

【図8】受信装置4と記録再生装置20との接続仕様を示した図である。

【図9】本発明の他の実施例のデジタル信号受信装置の構成である。

【図10】図9の装置における伝送信号の例を示すタイミング図ある。

【図11】図9の装置における伝送信号の例を示すタイ

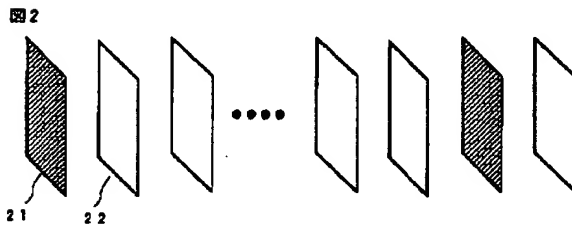
ミング図ある。

【図12】本発明の他の実施例のデジタル信号受信装置の構成である。

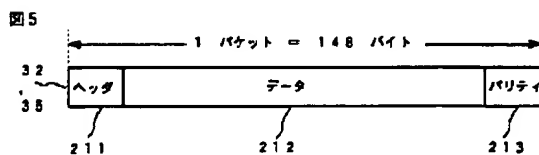
【符号の説明】

- 1…アンテナ、
- 4…受信装置、
- 5…バッファ、
- 6…バッファ、
- 8…誤り訂正回路、
- 10 9…映像処理回路、
- 10…音声処理回路、
- 11…切換回路、
- 12…同期化回路、
- 20…記録再生装置、
- 81…合成同期信号、
- 501…記録合成回路、
- 502…再生分離回路、
- 503…記録分離回路、
- 504…再生合成回路、
- 505…記録合成信号、
- 504…再生合成信号。

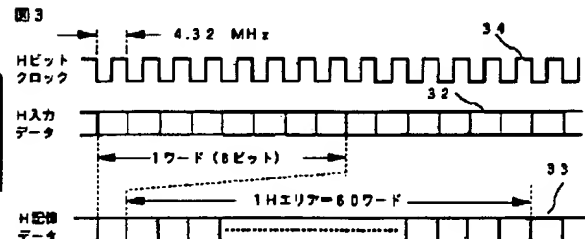
【図2】



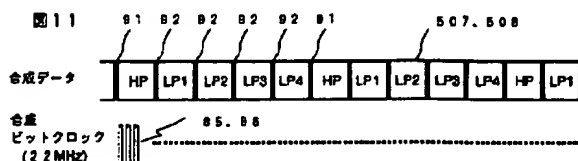
【図5】



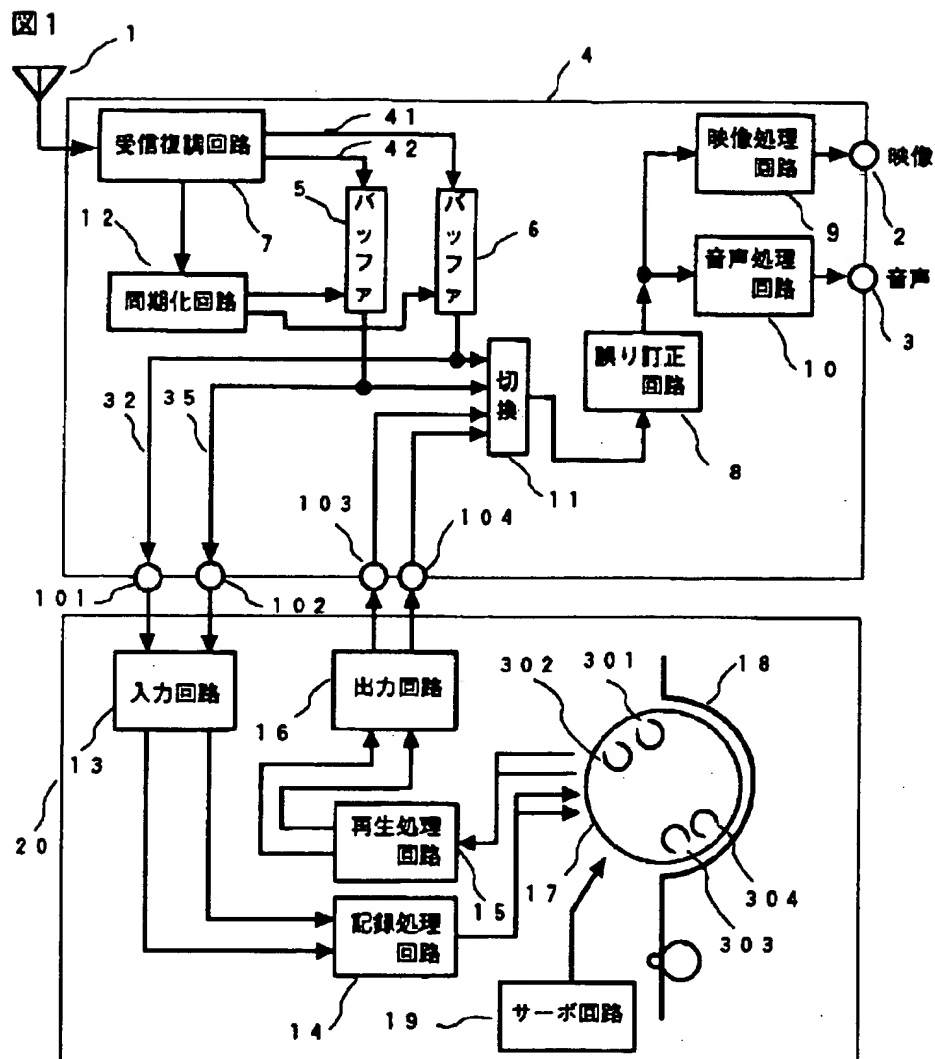
【図3】



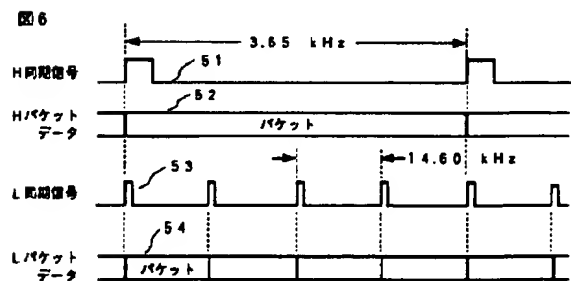
【図11】



【図1】



【図6】



【図4】

図4

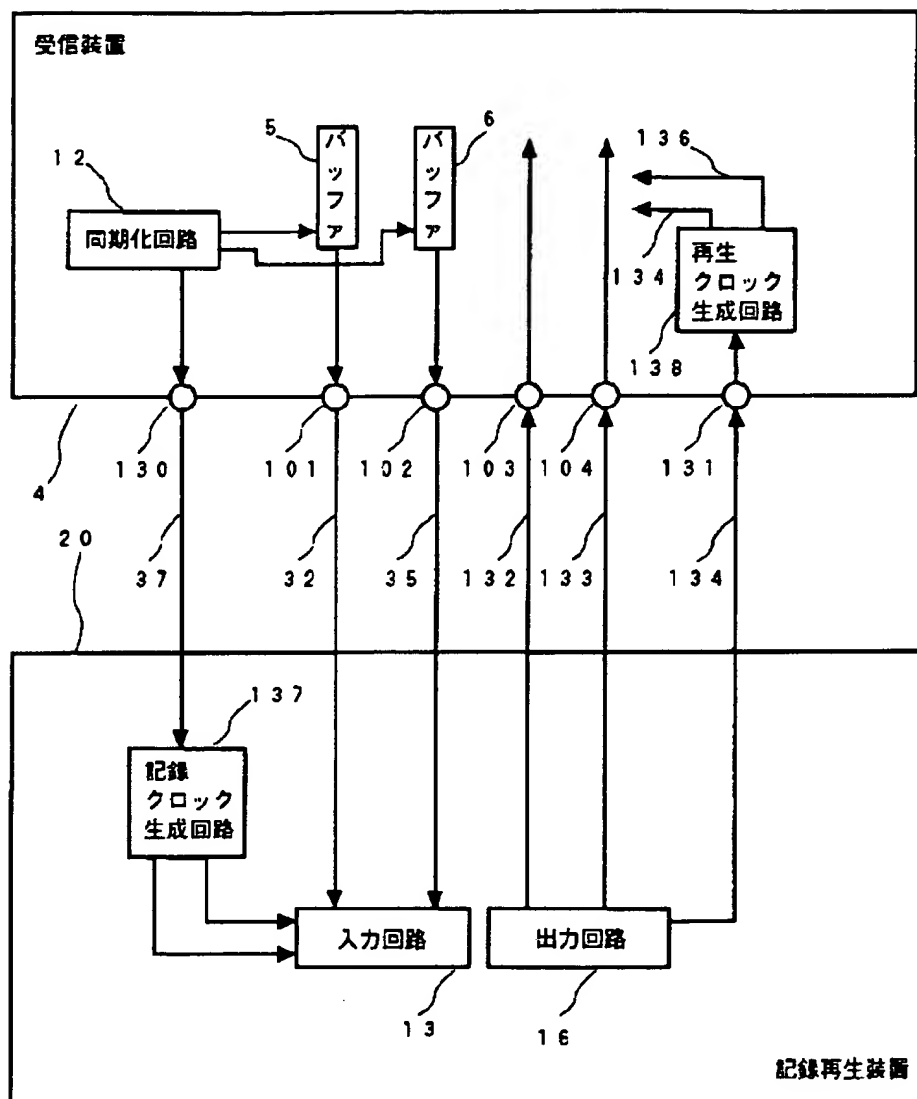
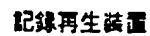


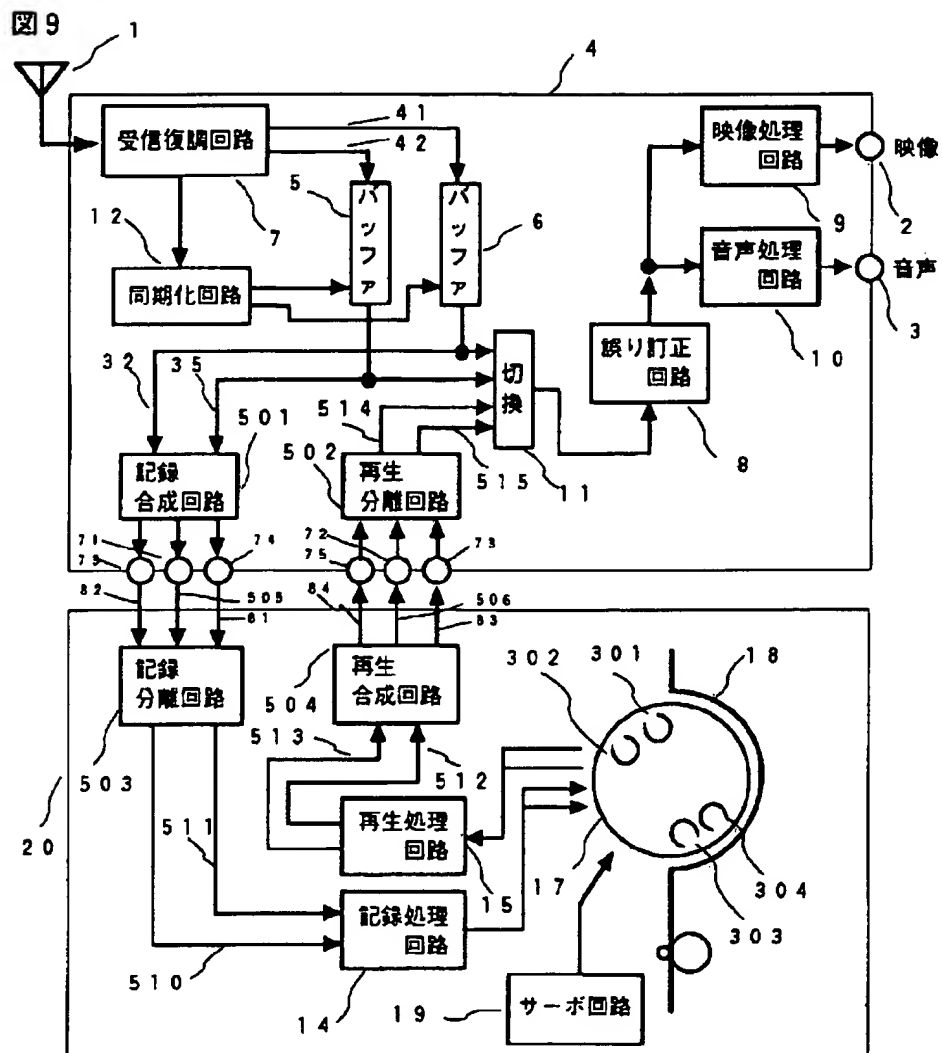
图 7



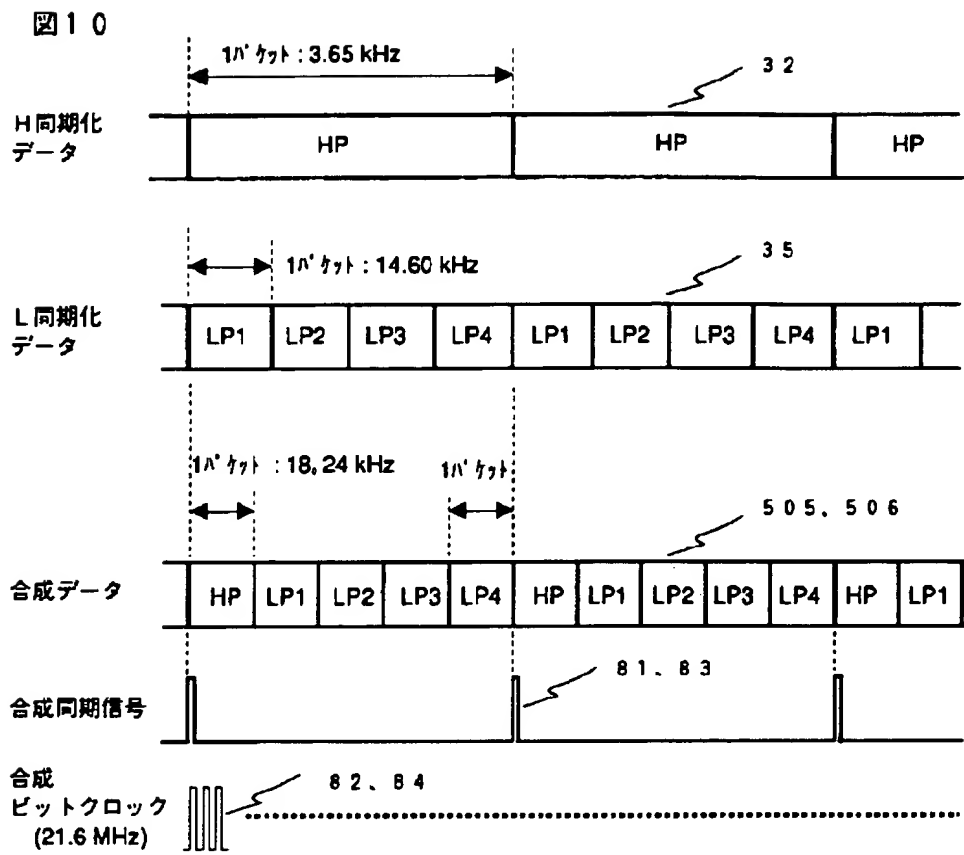
图 8



【図9】

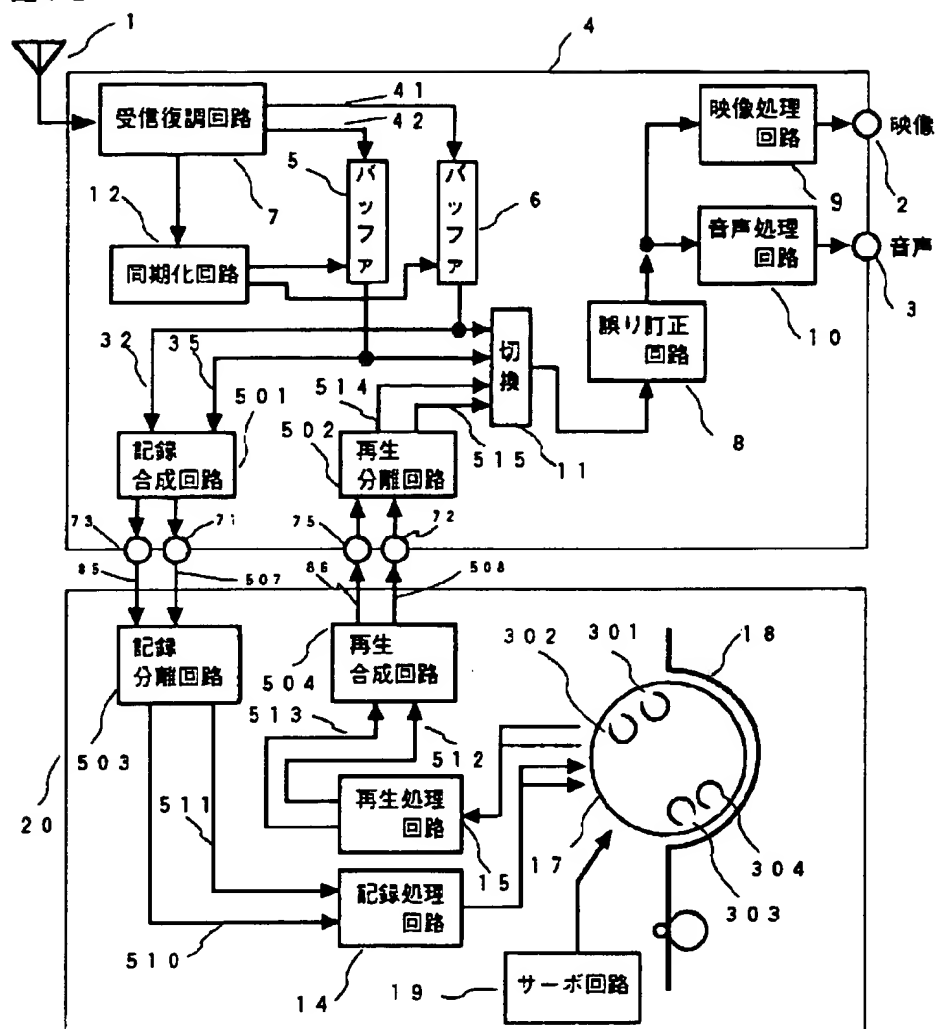


【図10】



【図12】

図12



フロントページの続き

(72)発明者 齊藤 清一

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所映像メディア研究所内